

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-45182

(43)公開日 平成6年(1994)2月18日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 G 4/12	3 5 8			
C 0 4 B 35/46		D		
H 0 1 B 3/12	3 0 9	9059-5G		
// H 0 1 G 4/30	3 0 1	F 8019-5E		
		E 8019-5E		

審査請求 未請求 請求項の数9(全11頁)

(21)出願番号 特願平5-86679

(22)出願日 平成5年(1993)3月22日

(31)優先権主張番号 特願平4-101788

(32)優先日 平4(1992)3月27日

(33)優先権主張国 日本(JP)

(71)出願人 000003067

ティーディーケイ株式会社

東京都中央区日本橋1丁目13番1号

(72)発明者 中野 幸恵

東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

(72)発明者 嵐 友宏

東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

(72)発明者 佐藤 陽

東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

(74)代理人 弁理士 石井 陽一

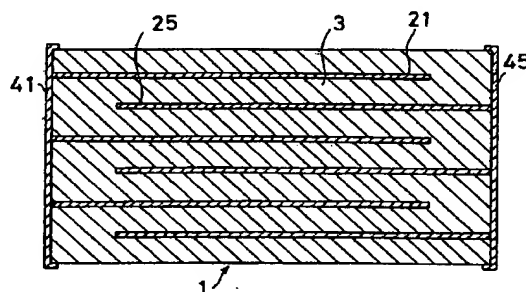
最終頁に続く

(54)【発明の名称】 積層型セラミックチップコンデンサ

(57)【要約】 (修正有)

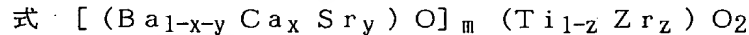
【目的】 寿命が向上し、より一層高信頼性の積層型セラミックチップコンデンサを提供する。

【構成】 下記式で表される組成の誘電体酸化物を含有し、Mnの酸化物および／または焼成により酸化物になる化合物を酸化物換算で0.01～0.5重量%と、Yの酸化物および／または焼成により酸化物になる化合物を酸化物換算で0.05～0.5重量%と、Vの酸化物および／または焼成により酸化物になる化合物を酸化物換算で0.005～0.3重量%と、Wの酸化物および／または焼成により酸化物になる化合物を酸化物換算で0.005～0.3重量%とを添加した誘電体材料と、NiまたはNi合金の内部電極材料とを積層して焼成したことを特徴とする。

$$\text{式 } [(Ba_{1-x-y}Ca_xSr_y)O]_m (Ti_{1-z}Zr_z)O_2$$
ただし  $0 \leq x \leq 0.25$ 、 $0 \leq y \leq 0.05$ 、 $0.1 \leq z \leq 0.3$ 、 $1.000 \leq m \leq 1.020$ 

## 【特許請求の範囲】

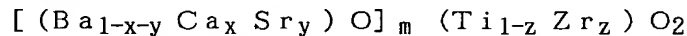
【請求項1】 内部電極と誘電体層とを有する積層型セラミックチップコンデンサであって、下記式で表される組成の誘電体酸化物を含有し、Mnの酸化物および／または焼成により酸化物になる化合物を酸化物(MnO)換算で0.01～0.5重量%と、Yの酸化物および／または焼成により酸化物になる化合物を酸化物(Y<sub>2</sub>O<sub>3</sub>)換算で0.05～0.5重量%\*



(上記式中、 $0 \leq x \leq 0.25$ 、 $0 \leq y \leq 0.05$ 、 $0.1 \leq z \leq 0.3$ 、 $1.000 \leq m \leq 1.020$ である。

【請求項2】 誘電体材料に、更に、SiO<sub>2</sub>を0.25重量%以下添加した請求項1の積層型セラミックチップコンデンサ。

【請求項3】 誘電体材料に、更にEuおよびMoの少なくとも1種の酸化物および／または焼成により酸化物になる化合物を、酸化物換算で、0.3重量%以下添加した請求項1または2の積層型セラミックチップコンデ※



(上記式中、 $0 \leq x \leq 0.25$ 、 $0 \leq y \leq 0.05$ 、 $0.1 \leq z \leq 0.3$ 、 $1.000 \leq m \leq 1.020$ )と、MnCO<sub>3</sub>、Y<sub>2</sub>O<sub>3</sub>、V<sub>2</sub>O<sub>3</sub>、WO<sub>3</sub>、SiO<sub>2</sub>、MoO<sub>3</sub>、およびEu<sub>2</sub>O<sub>3</sub>から選ばれた添加物とを混合し、焼成して形成された誘電体層を備える請求項1ないし5のいずれかの積層型セラミックチップコンデンサにおいて、前記添加物粉末の平均粒径が3μm以下に設定されたことを特徴とする積層型セラミックチップコンデンサ。

【請求項7】 前記添加物粉末の最大粒径が、5μm以下である請求項6の積層型セラミックチップコンデンサ。

【請求項8】 前記添加物粉末の平均粒径が、母材粉末の平均粒径の5倍以内である請求項6または7の積層型セラミックチップコンデンサ。

【請求項9】 前記添加物粉末の最大粒径が、母材粉末の最大粒径の3倍以内である請求項6ないし8のいずれかの積層型セラミックチップコンデンサ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、積層型セラミックチップコンデンサの特に誘電体層の改良に関するものである。

## 【0002】

【従来の技術】積層型セラミックチップコンデンサは通常、内部電極用のペーストと、誘電体層用のペーストとをシート法や印刷法等により積層し、一体同時焼成して製造される。

【0003】内部電極には一般に、PdやPd合金が用いられているが、Pdは高価であるため、比較的安価な

\*と、Vの酸化物および／または焼成により酸化物になる化合物を酸化物(V<sub>2</sub>O<sub>5</sub>)換算で0.005～0.3重量%と、Wの酸化物および／または焼成により酸化物になる化合物を酸化物(WO<sub>3</sub>)換算で0.005～0.3重量%とを添加した誘電体材料と、NiまたはNi合金の内部電極材料とを積層して同時焼成したものであることを特徴とする積層型セラミックチップコンデンサ。

10※ンサ。

【請求項4】 前記誘電体層はグレインと粒界相で構成され、前記誘電体層の断面での粒界相の面積比が2%以下である請求項1ないし3のいずれかの積層型セラミックチップコンデンサ。

【請求項5】 前記粒界相が、Mn、Y、VおよびWの酸化物を含有する酸化物相である請求項4の積層型セラミックチップコンデンサ。

【請求項6】 母材である

(Ti<sub>1-z</sub>Zr<sub>z</sub>)O<sub>2</sub> NiやNi合金が使用されつつある。

【0004】ところで、内部電極をNiやNi合金で形成する場合は、大気中で焼成を行うと電極が酸化してしまう。

【0005】このため、一般に、脱バインダ後は、NiとNiOの平衡酸素分圧よりも低い酸素分圧で焼成を行っている。

【0006】この場合、誘電体材料の緻密化を図るため、通常還元剤としてSiO<sub>2</sub>が加えられる。

【0007】また、誘電体層の還元による絶縁抵抗の低下等を防止するため、Mnの添加や、Ca置換等も行われている。

【0008】しかし、NiやNi合金製の内部電極を有する積層型チップコンデンサは、大気中で焼成して製造されるPd製の内部電極を有する積層型チップコンデンサにくらべ、絶縁抵抗の寿命が圧倒的に短く、信頼性が低いという問題があった。

【0009】ところがこの問題は、本発明者により提案されたある特定の組成を有する誘電体酸化物を含有し、Y、Gd、Tb、Dy、Zr、V、Mo、Zn、Cd、Tl、SnおよびPの酸化物および／または焼成により酸化物になる化合物から選ばれる1種以上を、特定量添加した誘電体材料と、NiまたはNi合金の内部電極材料とを積層して焼成した積層型セラミックチップコンデンサにより、ほぼ解決することができた(特開平3-133116号公報)。

【0010】すなわち、このようにY等を添加すれば、従来の無添加のチップコンデンサにくらべ寿命が約2～10倍に増大し、ある程度優れた信頼性が得られることが分かった。

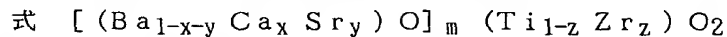
## 【0011】

【発明が解決しようとする課題】本発明の目的は、積層型セラミックチップコンデンサにおいて、上記Y等を添加したものに比べ更に寿命を向上させ、また初期絶縁抵抗不良を低減することにある。これにより、誘電体層厚みを10 $\mu\text{m}$ 以下にしても十分な信頼性を得ることを目的とする。

## 【0012】

【課題を解決するための手段】このような目的は、下記の本発明(1)～(9)によって達成される。

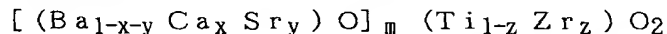
(1) 内部電極と誘電体層とを有する積層型セラミックチップコンデンサであって、下記式で表される組成の誘電体層



(上記式中、 $0 \leq x \leq 0.25$ 、 $0 \leq y \leq 0.05$ 、 $0.1 \leq z \leq 0.3$ 、 $1.000 \leq m \leq 1.020$ である。

(2) 誘電体材料に、更に、 $SiO_2$ を0.25重量%以下添加した上記(1)の積層型セラミックチップコンデンサ。

(3) 誘電体材料に、更にEuおよびMoの少なくとも1種の酸化物および/または焼成により酸化物になる化合物を、酸化物換算で、0.3重量%以下添加した上記(1)または(2)の積層型セラミックチップコンデンサ



(上記式中、 $0 \leq x \leq 0.25$ 、 $0 \leq y \leq 0.05$ 、 $0.1 \leq z \leq 0.3$ 、 $1.000 \leq m \leq 1.020$ )と、 $MnCO_3$ 、 $Y_2O_3$ 、 $V_2O_3$ 、 $WO_3$ 、 $SiO_2$ 、 $MoO_3$ 、および $Eu_2O_3$ から選ばれた添加物とを混合し、焼成して形成された誘電体層を備える上記

(1)ないし(5)のいずれかの積層型セラミックチップコンデンサにおいて、前記添加物粉末の平均粒径が3 $\mu\text{m}$ 以下に設定されたことを特徴とする積層型セラミックチップコンデンサ。

(7) 前記添加物粉末の最大粒径が、5 $\mu\text{m}$ 以下である上記(6)の積層型セラミックチップコンデンサ。

(8) 前記添加物粉末の平均粒径が、母材粉末の平均粒径の5倍以内である上記(6)または(7)の積層型セラミックチップコンデンサ。

(9) 前記添加物粉末の最大粒径が、母材粉末の最大粒径の3倍以内である上記(6)ないし(8)のいずれかの積層型セラミックチップコンデンサ。

## 【0013】

【具体的構成】以下、本発明の具体的構成を詳細に説明する。図1は、本発明の積層型セラミックチップコンデンサの一例を示す。積層型チップコンデンサ1は、内部電極21、25と、誘電体層3とが交互に積層され、各内部電極21、25に接続している1対の外部電極41、45を有するものである。

【0014】本発明では、内部電極21、25は、NiまたはNi合金から形成され、この場合、Ni合金とし

\* 電体酸化物を含有し、Mnの酸化物および/またはは焼成により酸化物になる化合物を酸化物(MnO)換算で0.01～0.5重量%と、Yの酸化物および/またはは焼成により酸化物になる化合物を酸化物( $Y_2O_3$ )換算で0.05～0.5重量%と、Vの酸化物および/またはは焼成により酸化物になる化合物を酸化物( $V_2O_5$ )換算で0.005～0.3重量%と、Wの酸化物および/またはは焼成により酸化物になる化合物を酸化物( $WO_3$ )換算で0.005～0.3重量%とを添加した誘電体材料と、NiまたはNi合金の内部電極材料とを積層して同時焼成したものであることを特徴とする積層型セラミックチップコンデンサ。

※ンサ。

(4) 前記誘電体層はグレインと粒界相で構成され、前記誘電体層の断面での粒界相の面積比が2%以下である上記(1)ないし(3)のいずれかの積層型セラミックチップコンデンサ。

(5) 前記粒界相が、Mn、Y、VおよびWの酸化物を含有する酸化物相である上記(4)の積層型セラミックチップコンデンサ。

(6) 母材である

ては、Niを95重量%以上含有するNiと、Mn、Cr、Co、Al等の1種以上との合金であることが好ましい。

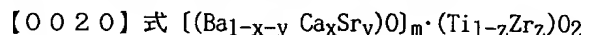
【0015】これらは、本発明に従い、十分な寿命や信頼性を得ることができる。

【0016】なお、NiまたはNi合金中には、微量成分として、0.1重量%以下のP等が含有されていてもよい。

【0017】内部電極21、25の厚み等の諸条件は目的や用途に応じ適宜決定をすればよいが、通常厚みは、1～5 $\mu\text{m}$ 、特に2～3 $\mu\text{m}$ 程度である。

【0018】誘電体層3は、グレインと粒界相で構成されている。

【0019】誘電体層3の材質は、下記式で表わされる組成の誘電体酸化物を含有するものである。この際、O量は、下記式の化学量論組成から若干偏倚してもよい。



【0021】この場合、xは0～0.25、好ましくは0.05～0.10、yは0～0.05、好ましくは0～0.01、zは0.1～0.3、好ましくは0.15～0.20、mは1.000～1.020、好ましくは1.002～1.015である。

【0022】本発明ではさらに、マンガンの酸化物および/またはは焼成により酸化物になる化合物を酸化物MnO換算で0.01～0.5重量%、好ましくは0.1～0.4重量%、より好ましくは0.2～0.4重量%、

イットリウム酸化物および／または焼成により酸化物になる化合物を酸化物 $Y_2O_3$ 換算で0.05~0.5重量%、好ましくは0.08~0.45重量%、より好ましくは0.2~0.4重量%、バナジウム酸化物および／または焼成により酸化物になる化合物を酸化物 $V_2O_5$ 換算で0.005~0.5重量%、好ましくは0.01~0.2重量%、より好ましくは0.01~0.1重量%、タングステンの酸化物および／または焼成により酸化物になる化合物を酸化物 $WO_3$ 換算で0.005~0.3重量%、好ましくは0.01~0.2、より好ましくは0.01~0.1重量%含有する。

【0023】さらに焼結助剤として、 $SiO_2$ を含有してもよい。

【0024】この場合、 $SiO_2$ の含有量は0.25重量%以下であることが好ましい。

【0025】また、Eu酸化物、Mo酸化物の少なくとも1種が0.3重量%程度以下含有されてもよい。更にまた、Ni酸化物、Mg酸化物、Co酸化物、Hf酸化物等が0.5重量%程度以下含有されてもよい。

【0026】なお、上記以外の元素の酸化物および上記範囲外の添加量では本発明の効果は実現しない。

【0027】この場合、添加物粉末全体の平均粒径を3.0 $\mu m$ 以下、しかも、添加物粉末の最大粒径を5 $\mu m$ 以下に設定することが望ましい。さらに、上記添加物粉末全体の平均粒径を、母材粉末の平均粒径の5倍以下に設定することが望ましい。また、添加物粉末全体の最大粒径を、母材粉末の最大粒径の3倍以下に設定することが望ましい。上記添加物粉末の平均粒径は特に1.5 $\mu m$ 以下、上記最大粒径は特に3.5 $\mu m$ 以下であることが望ましい。添加物粉末は、以上の条件を満たすように予め粉碎処理することが望ましい。上記設定粒径以上の添加物粉末を用いる場合、誘電体層厚みの薄いチップコンデンサにおいては、誘電体層の一部に添加物の偏析がみられ、これにより初期絶縁抵抗不良が発生するという問題があった。しかし、添加物粉末を粉碎処理し、特に最大粒径を上記のように設定することにより、得られたチップコンデンサにおいて、初期絶縁抵抗不良率が激減した。なお、母材の平均粒径は、1.5 $\mu m$ 以下、最大粒径は3.0 $\mu m$ 以下であることが望ましい。

【0028】誘電体層3の積層数や厚み等の諸条件は、目的や用途に応じ適宜決定すればよい。

【0029】また、誘電体層3のグレインの平均粒子径は、1~5 $\mu m$ 程度であることが好ましい。

【0030】そして、本発明では、誘電体層3を構成するグレイン以外の部分である粒界相の面積比が、誘電体層3の任意の断面にて、2%以下、好ましくは0.5~1.0%程度であることが好ましい。

【0031】前記範囲をこえると寿命が短くなり、信頼性が低下する傾向にある。

【0032】また、あまり小さいものは誘電体層3の形

成が困難であり、誘電体の緻密化が不十分となる傾向にある。

【0033】なお、粒界相の面積比の測定には、走査型電子顕微鏡を用いて写真を撮り、これから求めればよい。

【0034】この粒界相は、Mn、Y、VおよびWとして混入する材質の酸化物を成分としている。

【0035】外部電極41、45には、通常CuやCu合金あるいはNiやNi合金等を用いる。

【0036】なお、AgやAg-Pd合金等もちろん使用可能である。

【0037】外部電極41、45の厚みは任意であり、目的や用途に応じ適宜決定すればよいが、通常10~50 $\mu m$ 程度である。

【0038】そして、このような積層型チップコンデンサ1の形状やサイズは、目的や用途に応じ適宜決定すればよい。例えば直方体状の場合は、通常1.6~3.2mm×0.8~1.6mm×0.6~1.2mm程度である。

【0039】本発明の積層型セラミックチップコンデンサは好ましくは下記のとおり製造される。

【0040】まず、誘電体層3用ペースト、次に内部電極21、25用ペーストおよび外部電極41、45用ペーストをそれぞれ製造する。

【0041】誘電体層3用のペーストは、前述した誘電体酸化物の組成に応じ、予め粉碎した添加物であるMn、Y、V、W、Mo、Eu、Si等の単一ないし複合酸化物と、母材組成を形成するBaTiO<sub>3</sub>、BaZrO<sub>3</sub>、CaTiO<sub>3</sub>、CaZrO<sub>3</sub>とを混合、乾燥し、これに結合剤、可塑剤、分散剤、溶剤等の添加剤を添加して得る。

【0042】また、上記添加物は、焼成により酸化物になる化合物、例えば炭酸塩、硫酸塩、硝酸塩、シュウ酸塩、有機金属化合物等を用いてもよい。

【0043】さらには、酸化物と、焼成により酸化物になる化合物とを併用してもよい。

【0044】母材となる出発原料としては、上記BaTiO<sub>3</sub>、BaZrO<sub>3</sub>、CaTiO<sub>3</sub>、CaZrO<sub>3</sub>の形を取ることなく、誘電体酸化物の組成により、Ti、Ba、Zr、Sr、Ca等の酸化物、あるいは焼成により酸化物となる化合物を用いてもよい。

【0045】このような原料粉末から誘電体材料を得るには例えば下記のようにすればよい。

【0046】まず出発原料を所定の量比に配合し、例えば、ボールミル等により湿式混合する。

【0047】次いで、スプレードライヤー等により乾燥させ、その後仮焼し、上記式の誘電体酸化物を得る。なお、仮焼は、通常800~1300℃にて、2~10時間程度、空気中に行う。

【0048】次いで、ジェットミルあるいはボールミル等にて所定粒径となるまで粉碎し、誘電体材料を得る。

【0049】誘電体層3用のペーストを調整する際に用いられる結合剤、可塑剤、分散剤、溶剤等の添加剤は種々のものであってよい。また、ガラスフリットを添加してもよい。

【0050】結合剤としては、例えばエチルセルロース、アビエチン酸レジン、ポリビニール・ブチラールなど、可塑剤としては、例えばアビエチン酸誘導体、ジエチル蔞酸、ポリエチレングリコール、ポリアルキレングリコール、フタル酸エステル、フタル酸ジブチルなど、分散剤としては、例えばグリセリン、オクタデシルアミン、トリクロロ酢酸、オレイン酸、オクタジエン、オレイン酸エチル、モノオレイン酸グリセリン、トリオレイン酸グリセリン、トリスチアリン酸グリセリン、メンセーデン油など、溶剤としては、例えばトルエン、テルピネオール、ブチルカルビトール、メチルエチルケトンなどが挙げられる。

【0051】このペーストを調整する際の誘電体材料の全体に対する割合は50～80重量%程度とし、その他、結合剤は2～5重量%、可塑剤は0.01～5重量%、分散剤は0.01～5重量%、溶剤は20～50重量%程度とする。

【0052】そして、前記誘電体材料とこれらを混合し、例えば3本ロール等で混練してペースト（スラリー）とする。

【0053】内部電極21、25用のペーストを製造する際に用いる導体材料としては、NiやNi合金さらにはこれらの混合物を用いる。

【0054】このような導体材料は、球状、リン片状等、その形状に特に制限はなく、またこれらの形状のものが混合したものであってもよい。

【0055】また、平均粒子径は0.1～10 $\mu$ m、さらには0.1～1 $\mu$ m程度のものを用いればよい。

【0056】有機質ビヒクルは、バインダーおよび溶剤を含有するものである。

【0057】バインダーとしては、例えばエチルセルロース、アクリル樹脂、ブチラール樹脂等公知のものはいずれも使用可能である。

【0058】バインダー含有量は1～5重量%程度とする。

【0059】溶剤としては、例えばテルピネオール、ブチルカルビトール、ケロシン等公知のものはいずれも使用可能である。

【0060】溶剤含有量は20～55重量%程度とする。

【0061】この他、総計10重量%程度以下の範囲で、必要に応じ、ソルビタン脂肪酸エステル、グリセリン脂肪酸エステル等の分散剤や、ジオクチルフタレート、ジブチルフタレート、ブチルフタリルグリコール酸ブチル等の可塑剤や、デラミ防止、焼結抑制等の目的で、誘電体、絶縁体等の各種セラミック粉体等を添加す

ることもできる。

【0062】また、有機金属レジネートを添加することもある有効である。

【0063】外部電極41、45用のペーストは、上記の導体材料粉末を含有する通常のペーストを用いればよい。

【0064】このようにして得られた内部電極21、25用ペーストと、誘電体3用ペーストを用いて、印刷法、転写法、グリーンシート法等により積層する。

【0065】次に、所定のサイズに切断し、グリーンチップを得る。このグリーンチップを脱バインダ処理および焼成する。そして、誘電体層3を再酸化させるため、熱処理を行う。

【0066】脱バインダ処理は、通常の条件で行えばよいが、特に下記の条件で行うことが好ましい。

【0067】

昇温速度：5～300℃/時間、特に10～50℃/時間

保持温度：200～400℃、特に250～350℃

保持時間：0.5～5時間、特に1～3時間

雰囲気：AIR

【0068】焼成は、酸素分圧10<sup>-7</sup>atm以下、特に10<sup>-7</sup>～10<sup>-13</sup>atmにて行うことが好ましい。

【0069】前記範囲を超えると、内部電極21、25が酸化する傾向にあり、またあまり小さすぎると、電極材料が異常焼結を起こし、とぎれてしまう傾向にある。

【0070】そして、そのほかの焼成条件は、下記の条件が好ましい。

【0071】

昇温速度：50～500℃/時間、特に200～300℃/時間

保持温度：1200～1400℃、特に1250～1350℃

保持時間：0.5～8時間、特に1～3時間

冷却速度：50～500℃/時間、特に200～300℃/時間

【0072】雰囲気用ガスには、加湿したN<sub>2</sub>とH<sub>2</sub>の混合ガス等を用いることが好適である。

【0073】熱処理は、保持温度ないし最高温度を800～1200℃、より好ましくは、900～1100℃として行うことが好ましい。

【0074】前記範囲未満では誘電体材料の酸化が不十分のために寿命が短くなる傾向にあり、前記範囲をこえると内部電極のNiが酸化し、容量が低下するだけでなく、誘電体素地と反応してしまい、寿命も短くなる傾向にある。

【0075】熱処理の際の酸素分圧は、10<sup>-8</sup>atm以上、より好ましくは10<sup>-4</sup>～10<sup>-7</sup>atmが好ましい。

【0076】前記範囲未満では、誘電体層3や酸化物層4の再酸化が困難であり、前記範囲をこえると内部電極

21、25が酸化する傾向にある。

【0077】そして、そのほかの熱処理条件は下記の条件が好ましい。

【0078】

保持時間：0～6時間、特に2～5時間

冷却速度：50～500℃/時間

特に100～300℃/時間

【0079】雰囲気用ガスには、加湿したN<sub>2</sub> ガス等を用いることが好適である。

【0080】なお、N<sub>2</sub> ガスや混合ガス等を加湿するに 10 は、例えばウェッター等を使用すればよい。この場合、水温は0～75℃程度が好ましい。

【0081】また、脱バインダ処理、焼成および熱処理は、それぞれを連続して行っても、独立に行ってもよい。

【0082】このようにして得られた焼結体には、例えばバレル研磨、サンドブラスト等にて端面研磨を施し、外部電極用ペーストを焼きつけて外部電極41、45を形成する。

【0083】そして、必要に応じ、外部電極41、45 20 上のめっき等によりパッド層を形成する。

【0084】

【作用】本発明の積層型セラミックチップコンデンサには、所定の化合物を添加したチタン酸バリウム系の誘電体材料を用いる。

【0085】そして、脱バインダ処理後、所定の条件で焼成および熱処理を行って製造される。

【0086】このような本発明の積層型セラミックチップコンデンサは、従来のY等添加チップコンデンサにくらべ寿命が約1.5倍以上に増大する。従って、誘電体層の厚さを、従来の10～15μm から6μm 以下にしても十分な寿命が得られる。また、添加物を粉碎により最大粒径5μm 以下にすることにより、初期絶縁抵抗不良を防止することができ、積層型セラミックチップコンデンサの小型大容量化に非常に有効である。

【0087】

【実施例】以下、本発明の具体的実施例を挙げ、本発明をさらに詳細に説明する。

【0088】（実施例1）母材となる出発原料としては、液相合成によるBaTiO<sub>3</sub>、BaZrO<sub>3</sub>、CaTiO<sub>3</sub>を用いた。

【0089】添加物としては、MnCO<sub>3</sub>、Y<sub>2</sub>O<sub>3</sub>、V<sub>2</sub>O<sub>5</sub>、WO<sub>3</sub>、SiO<sub>2</sub>、MoO<sub>3</sub>、Eu<sub>2</sub>O<sub>3</sub>等を使用し、MnCO<sub>3</sub>、Y<sub>2</sub>O<sub>3</sub>、V<sub>2</sub>O<sub>5</sub>、WO<sub>3</sub>、MoO<sub>3</sub>、Eu<sub>2</sub>O<sub>3</sub>を表1に示す変量とし、ボールミルで24時間粉碎し、上記添加物の平均粒径を3μm以下、最大粒径を5μm以下としたスラリーを得た。この添加物スラリーに、上記BaTiO<sub>3</sub>、BaZrO<sub>3</sub>、CaTiO<sub>3</sub>を加え、ボールミルで16時間湿式混合した後、乾燥し、21種類の誘電体材料の試料を得た。なお、試料1ないし13が本発明の実施例であり、試料14ないし21が比較例である。

【0090】

【表1】

	MnO (wt%)	Y <sub>2</sub> O <sub>3</sub> (wt%)	V <sub>2</sub> O <sub>5</sub> (wt%)	WO <sub>3</sub> (wt%)	その他 (wt%)	IR寿命 (h)	初期特性 (20°C)		
							C (nF)	tan δ (%)	IR (Ω)
試料 1	0.2	0.1	0.05	0.05		8.7	205	4.8	5×10 <sup>10</sup>
試料 2	0.2	0.2	0.05	0.05		12.4	193	4.1	7×10 <sup>10</sup>
試料 3	0.2	0.3	0.05	0.05		14.6	170	3.7	7×10 <sup>10</sup>
試料 4	0.2	0.4	0.05	0.05		13.3	136	2.9	3×10 <sup>10</sup>
試料 5	0.1	0.3	0.05	0.05		9.3	218	5.8	1×10 <sup>10</sup>
試料 6	0.3	0.3	0.05	0.05		15.3	140	2.8	8×10 <sup>10</sup>
試料 7	0.2	0.3	0.01	0.05		12.7	173	4.3	9×10 <sup>10</sup>
試料 8	0.2	0.3	0.1	0.05		15.0	154	3.9	7×10 <sup>10</sup>
試料 9	0.2	0.3	0.2	0.05		10.1	125	3.5	8×10 <sup>10</sup>
試料 10	0.2	0.3	0.005	0.01		12.9	170	3.7	8×10 <sup>10</sup>
試料 11	0.2	0.3	0.05	0.1		13.7	162	3.1	7×10 <sup>10</sup>
試料 12	0.2	0.3	0.05	0.05	MoO <sub>3</sub> 0.05	13.8	220	5.1	9×10 <sup>10</sup>
試料 13	0.2	0.3	0.05	0.05	Eu <sub>2</sub> O <sub>3</sub> 0.05	18.2	158	5.4	4×10 <sup>10</sup>
試料 14	0.2	0	0	0		0.01	251	5.7	8×10 <sup>9</sup>
試料 15	0.2	0.3	0	0		4.1	206	4.4	5×10 <sup>10</sup>
試料 16	0.2	0	0.04	0.05		0.18	232	5.1	2×10 <sup>10</sup>
試料 17	0	0.3	0.04	0.05		0.37	87	2.6	1×10 <sup>9</sup>
試料 18	1.0	0.3	0.04	0.05		3.8	113	5.8	2×10 <sup>9</sup>
試料 19	0.2	0.3	0.75	0.05		2.7	115	3.4	7×10 <sup>10</sup>
試料 20	0.2	0.8	0.04	0.05		4.9	88	8.6	4×10 <sup>9</sup>
試料 21	0.2	1.0	1.0	1.0		1.1	59	15.1	7×10 <sup>7</sup>

母材組成 :  $[(Ba_{0.980}Ca_{0.01}Sr_{0.001}O)_{1.004}(Ti_{0.99}Zr_{0.10})O_2]$

【0091】これらの誘電体材料の各々を用いて、下記に示される配合比にて、アルミナ製ボールを用いてボールミル混合し、スラリー化して誘電体層用ペーストとした。

【0092】

誘電体材料 : 100 重量部  
 アクリル系樹脂 : 5.0 重量部  
 フタル酸ベンジルブチル : 2.5 重量部  
 ミネラルスピリット : 6.5 重量部  
 アセトン : 4.0 重量部  
 トリクロロエタン : 20.5 重量部  
 塩化メチレン : 41.5 重量部

【0093】次に下記に示される配合比にて、3本ロールにより混練し、スラリー化して内部電極用ペーストとした。

【0094】

Ni : 44.6 重量%  
 テルピネオール : 52 重量%  
 エチルセルローズ : 3 重量%  
 40 ベンゾトリアゾール : 0.4 重量%

【0095】これらのペーストを用い、以下のようにして図1に示される積層型セラミックチップコンデンサ1を製造した。

【0096】まず、誘電体層用ペーストを用いて10 μm 厚のシートをキャリアフィルム上に形成し、この上に内部電極用ペーストを用いて、内部電極を印刷した。このように形成されたシートを剥離し、複数枚積層し、加圧接着した。

【0097】なお誘電体層3の積層数は4層である。

50 【0098】次いで所定サイズに切断した後、脱バイン

ダ処理、焼成および熱処理を連続して下記の条件にて行った。

【0099】脱バインダ処理

昇温速度：20℃/時間

保持温度：300℃

保持時間：2時間

雰囲気用ガス：air

【0100】焼成

昇温速度：200℃/時間

保持温度：1340℃

保持時間：2時間

冷却速度：300℃/時間

雰囲気用ガス：加湿したN<sub>2</sub> とH<sub>2</sub> の混合ガス

酸素分圧：10<sup>-8</sup>atm

【0101】熱処理

[ (Ba<sub>0.989</sub>Ca<sub>0.01</sub>Sr<sub>0.001</sub>) O ] 1.004 · (Ti<sub>0.85</sub>Zr<sub>0.18</sub>) O<sub>2</sub>

で表される組成の誘電体酸化物を主成分として含有している。なお、組成中のSrは、不純物として出発原料例えばBaCO<sub>3</sub>、BaTiO<sub>3</sub>、BaZrO<sub>3</sub>等に混入するものである。

【0105】上記積層型セラミックチップコンデンサ1の焼結体の誘電体層3の研磨面の微細構造の例を図2の写真に示した。焼結体の粒径は1～3μm、粒界の厚みは5nm以下であった。透過型走査型電子顕微鏡で分析し※

\* 保持温度：1000℃

保持時間：2時間

冷却速度：300℃/時間

雰囲気用ガス：加湿したN<sub>2</sub> ガス

酸素分圧：10<sup>-7</sup>atm

【0102】なお、それぞれの雰囲気用ガスの加湿には、ウェッターを用い、水温5～75℃にて行った。

【0103】得られた焼結体の端面をサンドブラストにて研磨した後、In-Ga合金を塗布して、試験用電極を形成した。

【0104】このようにして製造した積層型セラミックチップコンデンサ1のサイズは、3.2mm×1.6mm×0.6mmであり、誘電体層3の厚みは6μm、内部電極21、25の厚みは2.5μmである。そして、上記誘電体層3は、下記式

\* (Ba<sub>0.989</sub>Ca<sub>0.01</sub>Sr<sub>0.001</sub>) O ] 1.004 · (Ti<sub>0.85</sub>Zr<sub>0.18</sub>) O<sub>2</sub>

※た粒内、粒界、三重点の元素分布を表2に示した。なお、表2中A/Bは、上記式における成分のAサイトとBサイトの比を示すものである。また、いずれの実施例のサンプルにおいても、誘電体層の断面での粒界相の面積比が2%以下であり、Mn、Y、V、Wの酸化物を含有していた。

【0106】

【表2】

	Ti	Ba	Zr	Al	Si	Ca	Mn	Y	Ni	W	V	O	A/B
	at%												
粒内	14.5	19.7	3.47	0.65	0.54	0.14	0.21	0.13	0.44	0.17	0.77	59.3	1.104
粒界	15.8	18.9	3.40	0.31	0.22	0.18	0.27	0.15	0.31	0.08	0.56	59.7	0.994
三重点	2.97	14.4	0.43	1.34	12.9	1.04	4.35	2.57	1.78	0.21	0.56	57.2	4.54

【0107】次にこれらのコンデンサに対し、温度200℃、電圧DC60Vにての加速寿命試験、並びにC(nF)、tanδ(%)およびIR(Ω)の初期特性(R、T)を求めたところ、上記の表1に示す結果を得た。

【0108】(実施例2)まず、母材の出発原料としては平均粒径0.5μm、最大粒径1.5μmの液相合成のBaTiO<sub>3</sub>、BaZrO<sub>3</sub>を用いた。

【0109】添加物として、MnCO<sub>3</sub>を0.20重量%(全体に対する値、以下同様)、Y<sub>2</sub>O<sub>3</sub>を0.30重量%、V<sub>2</sub>O<sub>5</sub>を0.04重量%、WO<sub>3</sub>を0.05重量%秤量し、これら全てを湿式ボールミルにより混合粉碎し、表3に示すような平均粒径および最大粒径となるように調整した。

【0110】この後、以上のようにして得られた、母材粉末と添加物粉末とを用い、実施例1と同様にして7種類の積層型セラミックチップコンデンサを作成した。このようにして製造した積層型セラミックチップコンデンサ1のサイズは、3.2mm×1.6mm×0.6mmであり、誘電体層3の厚みは6μmであった。

【0111】これらの試料を用いて、ハイレジスタンスメータ(HP-4329A)を用いて初期絶縁抵抗を測定し、不良率を算出した結果を表3に示す。なお、試料1ないし5が本発明の実施例であり、試料6および7が比較例である。

【0112】

【表3】



	添加物の 平均粒径 ( $\mu\text{m}$ )	添加物の 最大粒径 ( $\mu\text{m}$ )	初期絶縁抵抗 不良率 (%)
試料 1	0.2	1.9	0
試料 2	0.4	2.5	0
試料 3	1.0	3.3	0.5
試料 4	2.2	3.8	9.4
試料 5	2.5	4.1	12
試料 6	3.2	5.8	72
試料 7	3.6	7.2	100

【0113】この表3から分かるように、母材粉末と添加物粉末の平均粒径および最大粒径が本発明の範囲内の場合には、不良率が最大でも12%であったが、本発明の範囲外の添加物の平均粒径が3.6 $\mu\text{m}$ 、最大粒径が7.2 $\mu\text{m}$ のものにあっては、100%の不良率であった。一方、以上の結果を添加物と母材の粒径の比でみると、添加物の平均粒径が母材粉末の平均粒径の5倍以下、添加物の最大粒径が母材粉末の最大粒径の3倍以下であるとき、本発明としての効果を発揮することができると分かる。特に、添加物の平均粒径が母材の平均粒径の2倍以下の実施例1ないし3においては、初期絶縁不良率が最大でも0.5%と効果が極めて顕著であった。

【0114】なお、添加物粉末の平均粒径、最大粒径を本発明の範囲内の値に設定し、添加物粉末の平均粒径が母材粉末の平均粒径の5倍以内の範囲内となるように母材粉末の粒径を変化させて同様に積層型セラミックチップコンデンサを作成し、同様の試験を行なったところ、上記と同様の傾向が得られた。

【0115】

20

30

【発明の効果】表1から明らかなように、本発明の積層型セラミックチップコンデンサは、優れた初期特性が得られる一方、従来のY等添加チップコンデンサに比し更に、長い寿命が得られる。このため、優れた信頼性を得ることができる。

【0116】また、表3から明らかなように、母材粉末および添加材粉末の平均粒径および最大粒径を本発明に従って設定すれば、初期絶縁抵抗不良率が極めて少なくなり、歩留りが大幅に向上する。

【図面の簡単な説明】

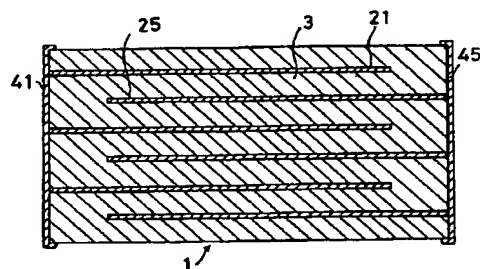
【図1】本発明の積層型セラミックチップコンデンサの1例が示される断面図である。

【図2】粒子構造を表わす図面代用写真であって、積層型セラミックチップコンデンサの焼結体の誘電体層の研磨断面の顕微鏡写真である。

【符号の説明】

- 1 積層型セラミックチップコンデンサ
- 21、25 内部電極
- 3 誘電体層
- 41、45 外部電極

【図1】



【図2】



【手続補正書】

【提出日】平成5年5月7日

【手続補正1】

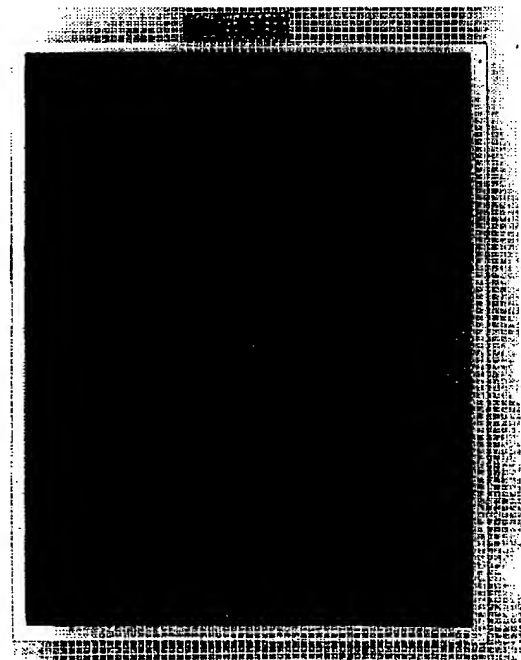
【補正対象書類名】図面

【補正対象項目名】図2

【補正方法】変更

【補正内容】

【図2】



フロントページの続き

(72)発明者 人見 篤志

東京都中央区日本橋一丁目13番1号 ティーディーケー株式会社内

(72)発明者 野村 武史

東京都中央区日本橋一丁目13番1号 ティーディーケー株式会社内

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-045182

(43)Date of publication of application : 18.02.1994

(51)Int.Cl.

H01G 4/12  
C04B 35/46  
H01B 3/12  
// H01G 4/30

(21)Application number : 05-086679

(71)Applicant : TDK CORP

(22)Date of filing : 22.03.1993

(72)Inventor : NAKANO YUKIE  
ARASHI TOMOHIRO  
SATO AKIRA  
HITOMI ATSUSHI  
NOMURA TAKESHI

(30)Priority

Priority number : 04101788 Priority date : 27.03.1992 Priority country : JP

## (54) MULTILAYER CERAMIC CHIP CAPACITOR

(57)Abstract:

PURPOSE: To enable a ceramic chip capacitor to be elongated in service life and lessened in initial insulation resistance failure by a method wherein a specific dielectric material and an inner electrode material of Ni or Ni alloy are stuck and fired at the same time.

CONSTITUTION: Dielectric oxide whose composition is represented by a formula, where, x, y, z, and m are so set as to satisfy formulas,  $0 \leq x \leq 0.25$ ,  $0 \leq y \leq 0.05$ ,  $0.1 \leq z \leq 0.3$ , and  $1.000 \leq m \leq 1.020$ , is contained. 0.01 to 0.5% by weight of Mn oxide and/or compound in terms of compound oxide oxidized by firing and 0.05 to 0.5% by weight of y oxide and/or compound in terms of compound oxide oxidized by firing are added. Furthermore, 0.005 to 0.3% by weight of V oxide and/or compound in terms of compound oxide oxidized by firing and 0.005 to 0.3% by weight of W oxide and/or compound in terms of compound oxide oxidized by firing are added to serve as dielectric material. Dielectric material and inner electrode material of Ni or Ni alloy are stuck and fired.

## LEGAL STATUS

[Date of request for examination] 11.01.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## CLAIMS

## [Claim(s)]

[Claim 1] It is the laminating type ceramic chip capacitor which has an internal electrode and a dielectric layer. The compound which contains the dielectric oxide of the composition expressed with the following formula, and turns into an oxide by the oxide and/or \*\*\*\*\* of Mn by oxide (MnO) conversion 0.01 - 0.5 % of the weight, The compound which turns into an oxide by the oxide of Y, and/or baking by oxide (Y<sub>2</sub>O<sub>3</sub>) conversion 0.05 - 0.5 % of the weight, The compound which turns into an oxide by the oxide of V, and/or baking by oxide (V<sub>2</sub>O<sub>5</sub>) conversion 0.005 - 0.3 % of the weight, The dielectric materials which added 0.005 - 0.3 % of the weight for the compound which turns into an oxide by the oxide of W, and/or baking by oxide (WO<sub>3</sub>) conversion, The laminating type ceramic chip capacitor characterized by carrying out the laminating of the internal-electrode material of nickel or nickel alloy, and carrying out simultaneous baking.

Formula [(Ba<sub>1-x-y</sub>CaxSry)O] mO(Ti<sub>1-z</sub>Zrz) 2 It is  $0 \leq x \leq 0.25$ ,  $0 \leq y \leq 0.05$ ,  $0.1 \leq z \leq 0.3$ , and  $1.000 \leq m \leq 1.020$  among the {above-mentioned formula.

[Claim 2] To dielectric materials, it is SiO<sub>2</sub> further. Laminating type ceramic chip capacitor of the claim 1 added 0.25 or less % of the weight.

[Claim 3] The laminating type ceramic chip capacitor of the claims 1 or 2 which added the compound which turns into an oxide further at dielectric materials by at least one sort of oxides of Eu and Mo, and/or baking 0.3 or less % of the weight by oxide conversion.

[Claim 4] The aforementioned dielectric layer is the claim 1 whose surface ratio of the grain-boundary phase in the cross section of the aforementioned dielectric layer it consists of a grain and a grain-boundary phase, and is 2% or less, or one laminating type ceramic chip capacitor of 3.

[Claim 5] The laminating type ceramic chip capacitor of the claim 4 whose aforementioned grain-boundary phase is an oxide phase containing the oxide of Mn, Y, V, and W.

[Claim 6] [(Ba<sub>1-x-y</sub>CaxSry)O] which is a base material mO(Ti<sub>1-z</sub>Zrz) 2 (the inside of the above-mentioned formula,  $0 \leq x \leq 0.25$ ,  $0 \leq y \leq 0.05$ ,  $0.1 \leq z \leq 0.3$ ,  $1.000 \leq m \leq 1.020$ ), MnCO<sub>3</sub>, Y<sub>2</sub>O<sub>3</sub>, V<sub>2</sub>O<sub>3</sub>, WO<sub>3</sub>, and SiO<sub>2</sub>, MoO<sub>3</sub> and Eu<sub>2</sub>O<sub>3</sub> In the claim 1 equipped with the dielectric layer which mixed the selected additive, calcinated and was formed, or one laminating type ceramic chip capacitor of 5 from -- The mean particle diameter of the aforementioned additive powder is 3 micrometers. Laminating type ceramic chip capacitor characterized by being set as below, building and being.

[Claim 7] The maximum droplet size of the aforementioned additive powder is 5 micrometers. Laminating type ceramic chip capacitor of the claim 6 which is the following.

[Claim 8] The laminating type ceramic chip capacitor of the claims 6 or 7 whose mean particle diameters of the aforementioned additive powder are less than 5 times of the mean particle diameter of base material powder.

[Claim 9] The claim 6 whose maximum droplet size of the aforementioned additive powder is less than 3 times of the maximum droplet size of base material powder, or one laminating type ceramic chip capacitor of 8.

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention is the thing especially about improvement of a dielectric layer of a laminating type ceramic chip capacitor.

[0002]

[Description of the Prior Art] Usually, a laminating type ceramic chip capacitor carries out the laminating of the paste for internal electrodes, and the paste for dielectric layers by the sheet method, print processes, etc., they really carry out simultaneous baking, and it is manufactured.

[0003] Although Pd and Pd alloy are generally used for the internal electrode, since Pd is expensive, comparatively cheap nickel and nickel alloy are being used.

[0004] By the way, when forming an internal electrode with nickel or nickel alloy, if it calcinates in the atmosphere, an electrode will oxidize.

[0005] For this reason, generally after a \*\* binder is calcinating by low oxygen tension rather than the balanced oxygen tension of nickel and NiO.

[0006] In this case, in order to attain precise-ization of dielectric materials, it is usually SiO<sub>2</sub> as a mineralizer. It is added.

[0007] Moreover, in order to prevent the fall of the insulation resistance by reduction of a dielectric layer etc., addition, calcium substitution, etc. of Mn are performed.

[0008] However, compared with the laminating type chip capacitor which has the internal electrode made from Pd calcinated and manufactured in the atmosphere, the laminating type chip capacitor which has an internal electrode made from nickel or nickel alloy had the overwhelmingly short life of insulation resistance, and had a problem of a low in reliability.

[0009] However, this problem contains the dielectric oxide which has a certain specific composition proposed by this invention person. The dielectric materials which carried out the amount addition of specification of the one or more sorts chosen from the compound which turns into an oxide by the oxide of Y, Gd, Tb, Dy, Zr, V, Mo, Zn, Cd, Tl, Sn, and P, and/or baking, It was mostly solvable with the laminating type ceramic chip capacitor which carried out the laminating of the internal-electrode material of nickel or nickel alloy, and calcinated it (JP,3-133116,A).

[0010] That is, when adding Y etc. in this way, it turns out that a life increases by about 2 to 10 times compared with the conventional additive-free chip capacitor, and the reliability which was excellent to some extent is acquired.

[0011]

[Problem(s) to be Solved by the Invention] The purpose of this invention is in a laminating type ceramic chip capacitor to raise a life further compared with an adding-Above Y etc. thing, and reduce poor initial insulation resistance. Thereby, it is 10 micrometers about dielectric-layer thickness. It aims at acquiring reliability sufficient as for the following.

[0012]

[Means for Solving the Problem] Such a purpose is attained by following this invention (1) - (9).

(1) It is the laminating type ceramic chip capacitor which has an internal electrode and a dielectric layer. The compound which contains the dielectric oxide of the composition expressed with the following formula, and turns into an oxide by the oxide and/or \*\*\*\*\* of Mn by oxide (MnO) conversion 0.01 - 0.5 % of the weight, The compound which turns into an oxide by the oxide of Y, and/or baking by oxide (Y<sub>2</sub> O<sub>3</sub>) conversion 0.05 - 0.5 % of the weight, The compound which turns into an oxide by the oxide of V, and/or baking by oxide (V<sub>2</sub> O<sub>5</sub>) conversion 0.005 - 0.3 % of the weight, The dielectric materials which added 0.005 - 0.3 % of the weight for the compound which turns into an oxide by the oxide of W, and/or baking by oxide (WO<sub>3</sub>) conversion, The laminating type ceramic chip capacitor

characterized by carrying out the laminating of the internal-electrode material of nickel or nickel alloy, and carrying out simultaneous baking.

Formula  $[(Ba_{1-x-y}Ca_xSr_y)O]_mO(Ti_{1-z}Zr_z)_2$  It is  $0 \leq x \leq 0.25$ ,  $0 \leq y \leq 0.05$ ,  $0.1 \leq z \leq 0.3$ , and  $1.000 \leq m \leq 1.020$  among the {above-mentioned formula.

(2) To dielectric materials, it is SiO<sub>2</sub> further. Laminating type ceramic chip capacitor of the above (1) added 0.25 or less % of the weight.

The above (1) or (2) laminating type ceramic chip capacitors which added the compound which turns into an oxide further at (3) dielectric materials by at least one sort of oxides of Eu and Mo, and/or baking 0.3 or less % of the weight by oxide conversion.

(4) The aforementioned dielectric layer is the above (1) whose surface ratio of the grain-boundary phase in the cross section of the aforementioned dielectric layer it consists of a grain and a grain-boundary phase, and is 2% or less, or one laminating type ceramic chip capacitor of (3).

(5) The laminating type ceramic chip capacitor of the above (4) whose aforementioned grain-boundary phase is an oxide phase containing the oxide of Mn, Y, V, and W.

(6)  $[(Ba_{1-x-y}Ca_xSr_y)O]$  which is a base material  $mO(Ti_{1-z}Zr_z)_2$  (the inside of the above-mentioned formula,  $0 \leq x \leq 0.25$ ,  $0 \leq y \leq 0.05$ ,  $0.1 \leq z \leq 0.3$ ,  $1.000 \leq m \leq 1.020$ ), MnCO<sub>3</sub>, Y<sub>2</sub>O<sub>3</sub>, V<sub>2</sub>O<sub>3</sub>, WO<sub>3</sub>, and SiO<sub>2</sub>, MoO<sub>3</sub> and Eu<sub>2</sub>O<sub>3</sub> In the above (1) equipped with the dielectric layer which mixed the selected additive, calcinated and was formed, or one laminating type ceramic chip capacitor of (5) from -- The mean particle diameter of the aforementioned additive powder is 3 micrometers. Laminating type ceramic chip capacitor characterized by being set as below, building and being.

(7) The maximum droplet size of the aforementioned additive powder is 5 micrometers. Laminating type ceramic chip capacitor of the above (6) which is the following.

(8) The above (6) or (7) laminating type ceramic chip capacitors whose mean particle diameter of the aforementioned additive powder is less than 5 times of the mean particle diameter of base material powder.

(9) The above (6) whose maximum droplet size of the aforementioned additive powder is less than 3 times of the maximum droplet size of base material powder, or one laminating type ceramic chip capacitor of (8).

[0013]

[Elements of the Invention] Hereafter, the concrete composition of this invention is explained in detail. Drawing 1 shows an example of the laminating type ceramic chip capacitor of this invention. The laminating of internal electrodes 21 and 25 and the dielectric layer 3 is carried out by turns, and the laminating type chip capacitor 1 has one pair of external electrodes 41 and 45 linked to each internal electrodes 21 and 25.

[0014] nickel which internal electrodes 21 and 25 are formed from nickel or nickel alloy, and contains nickel 95% of the weight or more as a nickel alloy in this case in this invention, and Mn, Cr, Co and aluminum etc. -- it is desirable that they are one or more sorts of alloys

[0015] These can acquire a sufficient life and sufficient reliability according to this invention.

[0016] In addition, in nickel or nickel alloy, 0.1 or less % of the weight of P etc. may contain as a minor constituent.

[0017] Although terms and conditions, such as thickness of internal electrodes 21 and 25, should just be suitably determined according to the purpose or a use, thickness is usually 1-5 micrometers. It is 2-3 micrometers especially. It is a grade.

[0018] The dielectric layer 3 consists of a grain and a grain-boundary phase.

[0019] The quality of the material of a dielectric layer 3 contains the dielectric oxide of the composition expressed with the following formula. Under the present circumstances, you may deflect the amount of O from the stoichiometric composition of the following formula a little.

[0020] Formula  $[(Ba_{1-x-y}Ca_xSr_y)O]_m(Ti_{1-z}Zr_z)_2O_2$  [0021] x [ in this case, ] -- zero to 0.25 -- desirable -- 0.05 to 0.10, and y -- zero to 0.05 -- desirable -- zero to 0.01, and z -- 0.1 to 0.3 -- desirable -- 0.15 to 0.20, and m -- 1.000-1.020 -- it is 1.002-1.015 preferably

[0022] By this invention, further the compound which turns into an oxide by the oxide of manganese, and/or baking by oxide MnO conversion 0.01 - 0.5 % of the weight, More preferably 0.1 to 0.4% of the weight 0.2 - 0.4 % of the weight, It is the compound which turns into an oxide by the oxide of an yttrium, and/or baking Oxide Y<sub>2</sub>O<sub>3</sub> By conversion, 0.05 - 0.5 % of the weight, More preferably 0.08 to 0.45% of the weight 0.2 - 0.4 % of the weight, It is the compound which turns into an oxide by the oxide of vanadium, and/or baking Oxide V<sub>2</sub>O<sub>5</sub> By conversion, 0.005 - 0.5 % of the weight, More preferably 0.01 to 0.2% of the weight 0.01 - 0.1 % of the weight, the compound which turns into an oxide by the oxide of a tungsten, and/or baking -- oxide WO<sub>3</sub> conversion -- 0.005 - 0.3 % of the weight -- desirable -- 0.01 to 0.2 -- it contains 0.01 to 0.1% of the weight more preferably

[0023] Furthermore, it is SiO<sub>2</sub> as a sintering acid. You may contain.

[0024] In this case, SiO<sub>2</sub> As for a content, it is desirable that it is 0.25 or less % of the weight.

[0025] Moreover, at least one sort of Eu oxide and Mo oxide may contain about 0.3 or less % of the weight.

Furthermore, nickel oxide, Mg oxide, Co oxide, Hf oxide, etc. may contain about 0.5 or less % of the weight again.

[0026] In addition, at the oxide of elements other than the above, and the addition besides the above-mentioned range, it is a book.

[0027] In this case, it is 3.0 micrometers about the mean particle diameter of the whole additive powder. Moreover, it is 5 micrometers about the maximum droplet size of additive powder hereafter. It is desirable to set it as below.

Furthermore, it is desirable to set the mean particle diameter of the above-mentioned whole additive powder as 5 or less times of the mean particle diameter of base material powder. Moreover, it is desirable to set the maximum droplet size of the whole additive powder as 3 or less times of the maximum droplet size of base material powder. Especially the mean particle diameter of the above-mentioned additive powder is 1.5 micrometers. Especially the following and above-mentioned maximum droplet size is 3.5 micrometers. It is desirable that it is the following. As for additive powder, it is desirable to carry out trituration processing beforehand so that the above conditions may be fulfilled.

When the additive powder more than the above-mentioned setting particle size was used, in a chip capacitor with thin dielectric-layer thickness, the segregation of an additive was seen by a part of dielectric layer, and there was a problem that poor initial insulation resistance occurred by this. However, in the obtained chip capacitor, the initial insulation resistance percent defective decreased sharply by carrying out trituration processing of the additive powder, and setting up especially a maximum droplet size as mentioned above. In addition, the mean particle diameter of a base material is 1.5 micrometers. The following and a maximum droplet size are 3.0 micrometers. It is desirable that it is the following.

[0028] What is necessary is just to determine suitably terms and conditions, such as the number of laminatings of a dielectric layer 3, and thickness, according to the purpose or a use.

[0029] Moreover, the mean particle diameter of the grain of a dielectric layer 3 is 1-5 micrometers. It is desirable that it is a grade.

[0030] And it is desirable that the surface ratio of the grain-boundary phase which are portions other than the grain which constitutes a dielectric layer 3 from this invention is about 0.5 - 1.0% preferably 2% or less in the arbitrary cross sections of a dielectric layer 3.

[0031] If the aforementioned range is surpassed, a life will become short, and it is in the inclination for reliability to fall.

[0032] Moreover, formation of a dielectric layer 3 is difficult for a not much small thing, and is in the inclination it becomes inadequate precise-izing [ of a dielectric ].

[0033] In addition, what is necessary is to take a photograph for measurement of the surface ratio of a grain-boundary phase using a scanning electron microscope, and just to ask it from now on.

[0034] This grain-boundary phase is using as the component the oxide of the quality of the material mixed as Mn, Y, V, and W.

[0035] Cu, Cu alloy, nickel, nickel alloy, etc. are usually used for the external electrodes 41 and 45.

[0036] In addition, of course, Ag, a Ag-Pd alloy, etc. are usable.

[0037] The thickness of the external electrodes 41 and 45 is usually 10-50 micrometers, although what is necessary is to be arbitrary and just to determine suitably according to the purpose or a use. It is a grade.

[0038] And what is necessary is just to determine suitably such a configuration and size of the laminating type chip capacitor 1 according to the purpose or a use. For example, in the case of-like [ rectangular parallelepiped ], it is usually about 1.6-3.2mmx0.8-1.6mmx0.6-1.2mm.

[0039] The laminating type ceramic chip capacitor of this invention is manufactured as [ desirable ] follows.

[0040] First, an internal electrode 21, the paste for 25 and the external electrode 41, and the paste for 45 are manufactured to the paste for dielectric layers 3, and a degree, respectively.

[0041] The paste for dielectric-layer 3 is single BaTiO<sub>3</sub>(s) which are, carry out and form base material composition with a multiple oxide, such as Mn, Y, V, W, Mo, Eu, Si, etc. which are the additive ground beforehand, BaZrO<sub>3</sub>, CaTiO<sub>3</sub>, and CaZrO<sub>3</sub> according to composition of the dielectric oxide mentioned above. It mixes and dries, and additives, such as a binder, a plasticizer, a dispersant, and a solvent, are added and obtained to this.

[0042] Moreover, the compound which turns into an oxide by baking, for example, a carbonate, a sulfate, a nitrate, an oxalate, an organometallic compound, etc. may be used for the above-mentioned additive.

[0043] Furthermore, you may use together an oxide and the compound which turns into an oxide by baking.

[0044] As a start raw material used as a base material, they are the above BaTiO<sub>3</sub>, BaZrO<sub>3</sub>, CaTiO<sub>3</sub>, and CaZrO<sub>3</sub>. You may use the compound which turns into oxides, such as Ti, Ba, Zr, Sr, and calcium, with composition of a dielectric oxide, and turns into an oxide by baking, without taking a form.



[0045] What is necessary is just to perform it as follows, for example, for obtaining dielectric materials from such raw material powder.

[0046] A start raw material is first blended with a predetermined quantitative ratio, for example, wet blending is carried out with a ball mill etc.

[0047] Subsequently, it is made to dry by the spray dryer etc., temporary quenching is carried out after that, and the dielectric oxide of the above-mentioned formula is obtained. In addition, temporary quenching is usually performed in air at 800-1300 degrees C for about 2 to 10 hours.

[0048] Subsequently, it grinds until a jet mill or a ball mill makes predetermined particle size, and dielectric materials are obtained.

[0049] Additives, such as the binder and plasticizer which are used in case the paste for dielectric-layer 3 is adjusted, a dispersant, and a solvent, may be various things. Moreover, you may add a glass frit.

[0050] As a binder, for example as a plasticizer, an ethyl cellulose, abietic-acid resin, polyvinyl butyral, etc. for example, as a dispersant, an abietic-acid derivative, diethyl oxalic acid, a polyethylene glycol, a polyalkylene glycol, a phthalic ester, a dibutyl phthalate, etc. For example, a glycerol, an octadecyl amine, a trichloroacetic acid, oleic acid, As solvents, such as an OKUTA diene, an ethyl oleate, a monochrome oleic acid glycerol, a triolein acid glycerol, a glyceryl tristearate, and a MENSEDEN oil, toluene, a terpeneol, a butyl carbitol, a methyl ethyl ketone, etc. are mentioned, for example.

[0051] Making [ in addition ] the whole dielectric materials at the time of adjusting this paste rate into about 50 - 80 % of the weight, a binder is 2 - 5 % of the weight, and a plasticizer is 0.01 - 5 % of the weight. A dispersant is made and a solvent is made into about 20 - 50 % of the weight 0.01 to 5% of the weight.

[0052] And these are mixed with the aforementioned dielectric materials, for example, it kneads with 3 rolls etc., and considers as a paste (slurry).

[0053] As a conductor material used in case the paste an internal electrode 21 and for 25 is manufactured, nickel, nickel alloys, and also such mixture are used.

[0054] Especially a limit does not have such a conductor material in the configurations, such as the shape of a globular shape and a piece of Lynn, and the thing of these configurations may mix it.

[0055] Moreover, a mean particle diameter is 0.1-10 micrometers. Further 0.1-1 micrometer What is necessary is just to use the thing of a grade.

[0056] The nature vehicle of organic contains a binder and a solvent.

[0057] As a binder, each well-known thing, such as an ethyl cellulose, acrylic resin, and a butyral resin, is usable, for example.

[0058] A binder content may be about 1 - 5 % of the weight.

[0059] As a solvent, each well-known thing, such as a terpeneol, a butyl carbitol, and kerosine, is usable, for example.

[0060] A solvent content may be about 20 - 55 % of the weight.

[0061] In addition, various ceramic powders, such as a dielectric and an insulator, etc. can also be added if needed for the purpose, such as plasticizers, such as dispersants, such as a sorbitan fatty acid ester and a glycerine fatty acid ester, and a dioctyl phthalate, a dibutyl phthalate, butyl phthalyl glycolic-acid butyl, and DERAMI prevention, sintering suppression, in about a total of 10 or less % of the weight of the range.

[0062] Moreover, it is also effective to add organic-metal resinate.

[0063] The paste the external electrode 41 and for 45 should just use the usual paste containing the above-mentioned conductor-material powder.

[0064] Thus, a laminating is carried out by print processes, the replica method, the green-sheet method, etc. using the internal electrode 21 and the paste for 25 which were obtained, and the paste for dielectrics 3.

[0065] Next, it cuts in predetermined size and a green chip is obtained. It \*\*-binder-processes and this green chip is calcinated. And in order to make a dielectric layer 3 reoxidate, it heat-treats.

[0066] Although what is necessary is just to perform \*\* binder processing on condition that usual, it is desirable to carry out on condition that the following especially.

[0067] programming-rate: -- 5-300 degrees C/hour -- especially -- 10-50 degree-C/hour retention-temperature:200-400 degree C -- especially -- 250-350-degree-C holding-time:0.5 - 5 hours -- especially -- 1 - 3-hour atmosphere: -- AIR [0068] Baking is oxygen tension 10-7atm. It is desirable hereafter to carry out in 10-7-10-13atm especially.

[0069] It is in the inclination for internal electrodes 21 and 25 to oxidize if the aforementioned range is exceeded, and when too not much small, an electrode material causes unusual sintering and is in the disrupted inclination.

[0070] And other baking conditions have the following desirable conditions.

[0071]

programming-rate: -- 50-500 degrees C/hour -- especially -- 200-300 degree-C/hour retention-temperature:1200-1400 degree C -- especially -- 1250-1350-degree-C holding-time:0.5 - 8 hours -- especially -- a 1-3 hour cooling rate:50-500 degree-C/hour -- especially -- 200-300 degrees C [0072]/hour N2 humidified in the gas for atmosphere H2 It is suitable to use mixed gas etc.

[0073] As for heat treatment, it is desirable to perform more preferably a retention temperature or 800-1200 degrees C of maximum temperatures as 900-1100 degrees C.

[0074] Under in the aforementioned range, if the inclination for a life to become short has oxidization of dielectric materials at eye an inadequate hatchet and it surpasses the aforementioned range, nickel of an internal electrode will oxidize, and it reacts with the dielectric voxel ground and capacity not only falls, but is in the inclination for a life to also become short.

[0075] The oxygen tension in the case of heat treatment is 10-8atm. It is 10-4-10-7atm more preferably above. It is desirable.

[0076] Under in the aforementioned range, when reoxidation of a dielectric layer 3 or an oxide layer 4 is difficult and surpasses the aforementioned range, it is in the inclination for internal electrodes 21 and 25 to oxidize.

[0077] And other heat treatment conditions have the following desirable conditions.

[0078] holding-time: -- 0 - 6 hours -- especially -- a 2-5 hour cooling rate:50-500 degree-C/hour -- especially -- 100-300 degrees C [0079]/hour N2 humidified in the gas for atmosphere It is suitable to use gas etc.

[0080] In addition, N2 What is necessary is just to use WETTA etc., in order to humidify gas, mixed gas, etc. In this case, about 0-75 degrees C of water temperature are desirable.

[0081] Moreover, even if it performs each continuously, you may perform independently \*\* binder processing, baking, and heat treatment.

[0082] Thus, end-face polish is given to the obtained sintered compact with barrel finishing, sandblasting, etc., the paste for external electrodes is printed on it, and the external electrodes 41 and 45 are formed.

[0083] And a pad layer is formed with the plating on the external electrode 41 and 45 etc. if needed.

[0084] [Function] The dielectric materials of the barium-titanate system which added the predetermined compound are used for the laminating type ceramic chip capacitor of this invention.

[0085] And after \*\* binder processing, baking and heat treatment are performed on condition that predetermined, and it is manufactured.

[0086] Compared with addition chip capacitors, such as Y of the former [ chip capacitor / laminating type ceramic / such / of this invention ], a life increases to about 1.5 or more times. Therefore, it is conventional 10-15 micrometers about the thickness of a dielectric layer. 6 micrometers of shells Life sufficient as for the following is acquired. Moreover, it is 5 micrometers of maximum droplet sizes by trituration about an additive. By making it below, poor initial insulation resistance can be prevented and it is very effective in the formation of small large capacity of a laminating type ceramic chip capacitor.

[0087] [Example] Hereafter, the concrete example of this invention is given and this invention is further explained to a detail.

[0088] (Example 1) As a start raw material used as a base material, they are BaTiO3 by liquid phase composition, BaZrO3, and CaTiO3. It used.

[0089] As an additive, MnCO3, Y2 O3, V2 O5, and WO3, SiO2, MoO3, and Eu 2O3 etc. -- using it -- MnCO3 -- Y2 O3, V2 O5, WO3, MoO3, and Eu 2O3 It considers as the variate shown in Table 1, a ball mill grinds for 24 hours, and it is 3 micrometers about the mean particle diameter of the above-mentioned additive. It is 5 micrometers about the following and a maximum droplet size. The slurry made into the following was obtained. To this additive slurry, they are the above BaTiO3, BaZrO3, and CaTiO3. In addition, after carrying out wet blending with a ball mill for 16 hours, it dried and the sample of 21 kinds of dielectric materials was obtained. In addition, a sample 1 or 13 is the example of this invention, and a sample 14 or 21 is an example of comparison.

[0090]

[Table 1]

	MnO (wt%)	Y <sub>2</sub> O <sub>3</sub> (wt%)	V <sub>2</sub> O <sub>5</sub> (wt%)	WO <sub>3</sub> (wt%)	その他 (wt%)	IR寿命 (h)	初期特性 (20°C) C(nF) tan δ (%) IR(Ω)		
試料 1	0.2	0.1	0.05	0.05		8.7	205	4.8	5×10 <sup>10</sup>
試料 2	0.2	0.2	0.05	0.05		12.4	193	4.1	7×10 <sup>10</sup>
試料 3	0.2	0.3	0.05	0.05		14.6	170	3.7	7×10 <sup>10</sup>
試料 4	0.2	0.4	0.05	0.05		13.3	136	2.9	3×10 <sup>10</sup>
試料 5	0.1	0.3	0.05	0.05		9.3	218	5.8	1×10 <sup>10</sup>
試料 6	0.3	0.3	0.05	0.05		15.3	140	2.8	8×10 <sup>10</sup>
試料 7	0.2	0.3	0.01	0.05		12.7	173	4.3	9×10 <sup>10</sup>
試料 8	0.2	0.3	0.1	0.05		15.0	154	3.9	7×10 <sup>10</sup>
試料 9	0.2	0.3	0.2	0.05		10.1	125	3.5	8×10 <sup>10</sup>
試料 10	0.2	0.3	0.005	0.01		12.9	170	3.7	8×10 <sup>10</sup>
試料 11	0.2	0.3	0.05	0.1		13.7	162	3.1	7×10 <sup>10</sup>
試料 12	0.2	0.3	0.05	0.05	MoO <sub>3</sub> 0.05	13.8	220	5.1	9×10 <sup>10</sup>
試料 13	0.2	0.3	0.05	0.05	Eu <sub>2</sub> O <sub>3</sub> 0.05	18.2	158	5.4	4×10 <sup>10</sup>
試料 14	0.2	0	0	0		0.01	251	5.7	8×10 <sup>9</sup>
試料 15	0.2	0.3	0	0		4.1	206	4.4	5×10 <sup>10</sup>
試料 16	0.2	0	0.04	0.05		0.18	232	5.1	2×10 <sup>10</sup>
試料 17	0	0.3	0.04	0.05		0.37	87	2.6	1×10 <sup>8</sup>
試料 18	1.0	0.3	0.04	0.05		3.8	113	5.8	2×10 <sup>9</sup>
試料 19	0.2	0.3	0.75	0.05		2.7	115	3.4	7×10 <sup>10</sup>
試料 20	0.2	0.8	0.04	0.05		4.9	88	8.6	4×10 <sup>8</sup>
試料 21	0.2	1.0	1.0	1.0		1.1	59	15.1	7×10 <sup>7</sup>

母材組成 :  $[(\text{Ba}_{0.989}\text{Ca}_{0.01}\text{Sr}_{0.001})\text{O}]_{1.004}(\text{Ti}_{0.92}\text{Zr}_{0.08})\text{O}_2$

[0091] Using each of these dielectric materials, with the compounding ratio shown below, ball mill mixture was carried out using the ball made from an alumina, and it slurred and considered as the paste for dielectric layers.

[0092]

Dielectric materials : 100 weight sections acrylic resin : 5.0 weight sections benzyl butyl phthalate : 2.5 weight sections mineral spirit : 6.5 weight sections acetone : 4.0 weight sections trichloroethane : 20.5 weight sections methylene chloride : The 41.5 weight sections [0093] Next, with the compounding ratio shown below, it kneaded with 3 rolls, and it slurred and considered as the paste for internal electrodes.

[0094]

nickel : 44.6-% of the weight terpeneol : 52-% of the weight ethyl cellulose : 3-% of the weight benzotriazol : 0.4 % of the weight [0095] The laminating type ceramic chip capacitor 1 shown in drawing 1 as follows was manufactured using these pastes.

[0096] First, the paste for dielectric layers is used and it is 10 micrometers. The sheet of \*\* was formed on the carrier film, the paste for internal electrodes was used on this, and the internal electrode was printed. Thus, it exfoliated, two or more sheet laminating of the formed sheet was carried out, and pressurization adhesion was carried out.

[0097] In addition, the number of laminatings of a dielectric layer 3 is four layers.

[0098] Subsequently, after cutting in predetermined size, \*\* binder processing, baking, and heat treatment were

continuously performed on condition that the following.

[0099] \*\* binder processing programming-rate: -- 20-degree-C [ / ] hour retention-temperature: -- 300-degree-C holding-time: -- gas for 2-hour atmosphere: -- air [0100] baking programming-rate: -- 200-degree-C [ / ] hour retention-temperature: -- 1340-degree-C holding-time: -- 2-hour cooling rate: -- gas for 300-degree-C [ / ] hour atmosphere: -- N2 humidified H2 mixed-gas oxygen tension: -- 10-8 -- atm [0101] heat treatment retention-temperature: -- 1000-degree-C holding-time: -- 2-hour cooling rate: -- gas for 300-degree-C [ / ] hour atmosphere: -- N2 humidified gas oxygen tension: -- 10-7 -- atm [0102] In addition, it carried out to humidification of each gas for atmosphere at the water temperature of 5-75 degrees C using WETTA.

[0103] After grinding the end face of the obtained sintered compact with sandblasting, the In-Ga alloy was applied and the electrode for an examination was formed.

[0104] thus, the size of the manufactured laminating type ceramic chip capacitor 1 -- 3.2mmx1.6mmx0.6mm -- it is -- the thickness of a dielectric layer 3 -- 6 micrometers the thickness of internal electrodes 21 and 25 -- 2.5 micrometers it is . And the above-mentioned dielectric layer 3 is the following formula [(Ba<sub>0.989</sub> calcium<sub>0.01</sub>Sr<sub>0.001</sub>)O] (Ti<sub>0.85</sub> Zr<sub>0.18</sub>) 1.004 and O<sub>2</sub>. The dielectric oxide of the composition expressed is contained as a principal component. in addition, Sr under composition -- as an impurity -- the start raw material 3, for example, BaCO<sub>3</sub>, BaTiO<sub>3</sub>, and BaZrO<sub>3</sub> etc. -- it mixes

[0105] The example of the fine structure of the polished surface of the dielectric layer 3 of the sintered compact of the above-mentioned laminating type ceramic chip capacitor 1 was shown in the photograph of drawing 2 . The particle size of a sintered compact is 1-3 micrometers. The thickness of a grain boundary was 5nm or less. The element distribution of a grain boundary and the triple point was shown in Table 2 in the grain analyzed with the penetrated type scanning electron microscope. In addition, A/B in Table 2 shows the ratio of A site of a component, and B site in the above-mentioned formula. Moreover, also in the sample of which example, the surface ratio of the grain-boundary phase in the cross section of a dielectric layer is 2% or less, and contained the oxide of Mn, Y, V, and W.

[0106]

[Table 2]

	Ti	Ba	Zr	Al	Si	Ca	Mn	Y	Ni	W	V	O	A/B at%
粒内	14.5	19.7	3.47	0.65	0.54	0.14	0.21	0.13	0.44	0.17	0.77	59.3	1.104
粒界	15.8	18.9	3.40	0.31	0.22	0.18	0.27	0.15	0.31	0.08	0.56	59.7	0.994
三重点	2.97	14.4	0.43	1.34	12.9	1.04	4.35	2.57	1.78	0.21	0.56	57.2	4.54

[0107] Next, when the initial property (R, T) of the temperature of 200 degrees C, the accelerated life test of voltage DC60V and C (nF), tandelta (%), and IR (omega) was searched for from these capacitors, the result shown in the above-mentioned table 1 was obtained.

[0108] (Example 2) As a start raw material of a base material, it is 0.5 micrometers of mean particle diameters first. 1.5 micrometers of maximum droplet sizes BaTiO<sub>3</sub> of liquid phase composition, and BaZrO<sub>3</sub> It used.

[0109] As an additive, it is MnCO<sub>3</sub>. 0.20 % of the weight (it is the same as that of a value and the following to the whole), and Y<sub>2</sub> O<sub>3</sub> 0.30 % of the weight and V<sub>2</sub> O<sub>5</sub> 0.04 % of the weight and WO<sub>3</sub> Weighing capacity was carried out 0.05% of the weight, and preferential grinding of these [ all ] was carried out with the wet ball mill, and it adjusted so that it might become a mean particle diameter and a maximum droplet size as shown in Table 3.

[0110] Then, seven kinds of laminating type ceramic chip capacitors were created like the example 1 using the base material powder and additive powder which were obtained as mentioned above. thus, the size of the manufactured laminating type ceramic chip capacitor 1 -- 3.2mmx1.6mmx0.6mm -- it is -- the thickness of a dielectric layer 3 -- 6 micrometers it was .

[0111] Using these samples, initial insulation resistance is measured using high resistance meter (H.P.-4329A), and the result which computed the percent defective is shown in Table 3. In addition, a sample 1 or 5 is the example of this invention, and samples 6 and 7 are the examples of comparison.

[0112]

[Table 3]

	添加物の 平均粒径 (μm)	添加物の 最大粒径 (μm)	初期絶縁抵抗 不良率 (%)
試料 1	0.2	1.9	0
試料 2	0.4	2.5	0
試料 3	1.0	3.3	0.5
試料 4	2.2	3.8	9.4
試料 5	2.5	4.1	12
試料 6	3.2	5.8	72
試料 7	3.6	7.2	100

[0113] Although the percent defective was 12% at the maximum when the mean particle diameter and maximum droplet size of base material powder and additive powder were within the limits of this invention as shown in this table 3, the mean particle diameter of the additive of this invention out of range is 3.6 micrometers. A maximum droplet size is 7.2 micrometers. If it was in the thing, it was 100% of percent defective. On the other hand, when the above result is seen by the ratio of the particle size of an additive and a base material, it turns out that the mean particle diameter of an additive can demonstrate the effect as this invention when 5 or less times of the mean particle diameter of base material powder and the maximum droplet size of an additive are 3 or less times of the maximum droplet size of base material powder. Especially, the rate of initial poor insulation had [ the mean particle diameter of an additive ] 0.5% and the effect very remarkable in the example 1 below the double precision of the mean particle diameter of a base material, or 3 at the maximum.

[0114] In addition, when the mean particle diameter of additive powder and the maximum droplet size were set as the value of this invention within the limits, the particle size of base material powder was changed, the laminating type ceramic chip capacitor was similarly created so that the mean particle diameter of additive powder might become within the limits of less than 5 times of the mean particle diameter of base material powder, and the same examination was performed, the same inclination as the above was acquired.

[0115]

[Effect of the Invention] While the initial property excellent in the laminating type ceramic chip capacitor of this invention is acquired, it compares with addition chip capacitors, such as the conventional Y, and a still longer life is acquired, so that clearly from Table 1. For this reason, the outstanding reliability can be acquired.

[0116] Moreover, if the mean particle diameter and maximum droplet size of base material powder and add-in-material powder are set up according to this invention so that clearly from Table 3, an initial insulation resistance percent defective will decrease extremely, and the yield will improve sharply.

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

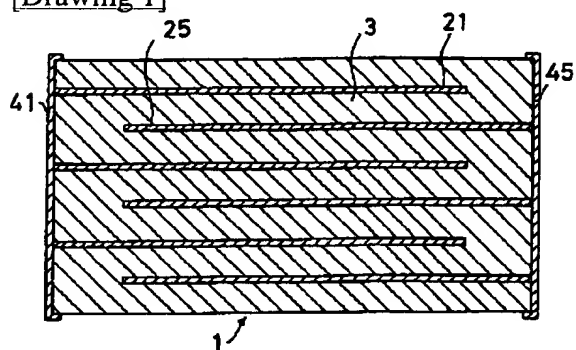
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

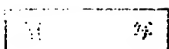
DRAWINGS

---

[Drawing 1]



[Drawing 2]




---

[Translation done.]



Creation date: 08-22-2003

Indexing Officer: KCHALUENSOUK - KHAM-OUNE CHALUENSOUK

Team: OIPEScanning

Dossier: 10085628

Legal Date: 07-29-2003

No.	Doccode	Number of pages
1	<del>OATH</del> <i>As/D</i>	2

Total number of pages: 2

Remarks:

Order of re-scan issued on .....